

発明の名称

非均一な厚みを有する上面電極を備えたチップ型抵抗器およびその製造方法

発明の背景

5 1. 発明の分野

本発明は、プリント配線基板に対して面実装が可能なチップ型抵抗器およびその製造方法に関する。

2. 関連技術の説明

周知のとおり、電気回路を構成する部品として、様々な種類のチップ型デバイス
10 が開発されている。チップ型デバイスの例としては、図15に示すような面実装型
抵抗器(全体を符号21で示す)がある。抵抗器21は、アルミナセラミックからなる
矩形の基板22を含んでいる。図15に示すように、基板22は、上面22a、
側面22bおよび下面22cを有している。抵抗器21は、上面22aに形成され
た一对の第1上面電極23と、各側面22bに形成された側面電極24と、下面2
15 2cに形成された下面電極25を備えている。基板22の上面22aには、第1上
面電極23同士をつなぐ抵抗体26が形成されている。抵抗体26は、保護コート
層27に覆われている。さらに、保護コート層27は、オーバーコート層29に覆
われている。第1上面電極23の上面には、第2上面電極28が形成されている。

抵抗器21の製造は、図16に示すアルミナセラミック製の集合基板11を用い
20 て行うことができる。集合基板11は、同一の抵抗器を複数個、一括して得られる
ほどの大きさを有している。具体的には、集合基板11は、複数の矩形領域12に
区画されており、各矩形領域12が、一つの抵抗器21に対応する。同図において、
符号13および14は集合基板11の余剰部分を示す。集合基板11は、これら余
剰部分に沿って、例えばダイシングカッタによって分割される。

25 図16に示すように、集合基板11の上面には、複数の導電片23'をマトリク
ス状に配置する。各導電片23'は、対応する一の切断ライン13を横切るように
延びている。各矩形領域12には、切断ライン14に沿って互いに離間する2つの
導電片23'がオーバーラップしている。最終的には、このオーバーラップ部分が、

図 1 5 に示す第 1 上面電極 2 3 となる。

導電片 2 3 ʼ の形成後は、抵抗体 2 6 (図 1 5) に対応する抵抗層や、保護コート層など、必要な要素が形成される。そして適当な段階で、集合基板 1 1 は、その上に形成された導電片 2 3 ʼ などとともに、切断ライン(余剰部分) 1 3 に沿って分割される。

その後、基板 1 1 の切断面において、側面導電層 (図 1 5 の側面電極 2 4 に対応) を形成する。さらに、基板 1 1 を、切断ライン(余剰部分) 1 4 に沿って分割することにより、複数の矩形領域 1 2 が、互いに完全に分離する。最後に、図 1 5 に示す電極 2 4、2 5 および 2 8 に対してめっきを施し、最終製品としての抵抗器 2 1 が得られる。

上述の方法は、1 つの集合基板から複数の抵抗器が一度に得られるため生産効率が良いが、以下のような欠点も有している。

上述のように、製造工程において、集合基板 1 1 (及び導電片 2 3 ʼ 等) は、切断ライン 1 3 に沿って分割される。この際に、ダイシングカッタの回転が導電片 2 3 ʼ をはね上げてしまう可能性がある。このような場合、図 1 7 に示すように、抵抗器 2 1 の第 1 上面電極 2 3 の端部が屹立した部分を持つこととなる。これに伴い、第 1 上面電極 2 3 上に形成された第 2 上面電極 2 8 もはね上がる。

抵抗器 2 1 におけるこのようなはね上がりは、様々な不都合を引き起こす。例えば、側面電極 2 4 が、第 1 上面電極 2 3 または第 2 上面電極 2 8 に適切に接続されなくなるおそれがある。また、第 2 上面電極 2 8 を半田めっきする際に、はね上がり部分には半田が適切に塗布されないという問題がある。

発明の概要

本発明は、上述した事情のもとで提案されたものである。従って、本発明の課題は、支持基板上における電極のはね上がりのないチップ型抵抗器を提供することにある。

本発明の第 1 の側面によれば、チップ型抵抗器の製造方法が提供される。この方法は、以下の工程を含んでいる。まず、余剰部分を介して相互に隔てられた第 1 領

域および第2領域を含む集合基板を準備する。次に、前記第1領域および第2領域を架橋するように延びる導電パターンを形成する。次に、前記第1および第2領域の各々において、前記導電パターンに接続する抵抗体を形成する。次に、前記集合基板を前記余剰部分において切断する。前記導電パターンは、前記余剰部分を横切る薄肉部と、この薄肉部に接続し且つ前記余剰部から離間した厚肉部とを含んでいる。

- 上記構成によれば、前記基板とともに前記導電パターンも切断されることになる。しかしながら、切断されるのは、前記導電パターンのうちの薄肉部であるため、従来技術におけるはね上がりの問題は生じない。好ましくは、前記薄肉部の厚みは、
- 10 0.1~3.0 μm の範囲とし、前記厚肉部の厚みは、5~25 μm の範囲とする。

好ましくは、前記導電パターン形成工程は、前記厚肉部のための導電性ペーストを塗布するサブ工程と、前記薄肉部のための導電性ペーストを塗布するサブ工程とを含んでいる。

- 好ましくは、前記厚肉部のための導電性ペーストおよび前記薄肉部のための導電性ペーストは、同時に焼成される。
- 15

好ましくは、前記厚肉部のための導電性ペーストと前記薄肉部のための導電性ペーストとは、同じ材質である。

好ましくは、本発明の方法は、前記抵抗体に抵抗値調整溝を形成する工程をさらに具備している。

- 20 本発明の第2の側面によれば、上面および側面を含む絶縁性の基板と、前記上面に形成された第1導電パターンと、前記第1導電パターンに接続する抵抗体と、を具備するチップ型抵抗器が提供される。前記第1導電パターンは、前記上面に接する薄肉部と、この薄肉部に接続するとともに前記上面に接する厚肉部とを含んでいる。前記薄肉部は、前記抵抗体から離間するとともに前記側面まで延びている。前記厚肉部は、前記抵抗体に接するとともに前記側面から離間している。
- 25

好ましくは、上記抵抗器は、前記第1導電パターン上を延びる第2導電パターンをさらに具備している。この第2導電パターンは、前記薄肉部および前記厚肉部の双方に接している。

好ましくは、前記薄肉部の厚みは $0.1 \sim 3.0 \mu\text{m}$ の範囲であり、前記厚肉部の厚みは $5 \sim 25 \mu\text{m}$ の範囲である。

本発明の他の特徴および利点は、以下における好適な実施例の説明から、より明らかとなろう。

5

図面の簡単な説明

図1は、本発明に基づくチップ型抵抗器の基本構造を示す断面図である。

図2は、図1の抵抗器の製造に用いられる集合基板を示す平面図である。

図3A～3B、4A～4B、5、6A～6Bおよび7～13は、図1の抵抗器の製造方法を説明するための図であり、図3Bは図3AのⅢ-Ⅲ方向に見た断面図、図4Bは図4AのⅣ-Ⅳ方向に見た断面図、図6Bは図6AのⅥ-Ⅵ方向に見た断面図である。

図14は、上記製造方法のフローチャートである。

図15は、従来のチップ型抵抗器の基本構造を示す断面図である。

図16は、図15の抵抗器の製造方法における1ステップを示す平面図である。

図17は、従来のチップ型抵抗器における問題点を示す図である。

好適な実施例の詳細な説明

図1は、本発明に基づくチップ型抵抗器(全体を符号1で示す)の基本構成を示す。

抵抗器1は、略直方体形状に形成されており、プリント配線基板(図示せず)に対して表面実装が可能である。

抵抗器1は、アルミナセラミックからなる基板2を含んでいる。基板2の上面2aにおける両端部には、第1上面電極3が形成されている。第1上面電極3は、金あるいは銀等の金属から形成され、厚肉部31と薄肉部32とからなる。厚肉部31は、基板2の側面2b上縁から離間した位置に設けられている。薄肉部32は、厚肉部31に接するとともに、上記側面2bまで延びている。厚肉部31の厚みは例えば $5 \sim 25 \mu\text{m}$ であり、薄肉部32の厚みは例えば $0.1 \sim 3.0 \mu\text{m}$ である。

基板2の各側面2bには、金あるいは銀からなる側面電極4が形成されている。

基板 2 の下面 2 c には、一対の下面電極 5 が形成されている。下面電極 5 は、下面 2 c の両端部に位置しており、互いに離間している。各下面電極 5 は、対応する一の側面電極 4 に接続している。

5 基板 2 の上面 2 a には、第 1 上面電極 3 の厚肉部 3 1 に接続する抵抗体 6 が形成されている。抵抗体 6 は、所定の電氣的抵抗特性を有する金属あるいは酸化金属からなる。抵抗体 6 には、例えばレーザを用いたトリミングにより、抵抗値調節溝（図示せず）が形成されている。

10 抵抗体 6 の上面には、ガラスからなる第 1 コート層 7 が形成されている。第 1 コート層 7 は、上記したレーザトリミングによって抵抗体 6 の表面が破損しないようにすべく設けられている。

第 1 コート層 7 の上面には、ガラスからなる第 2 コート層 9 が形成されている。第 2 コート層 9 は、第 1 コート層 7 を保護するために設けられている。

15 第 1 上面電極 3 の上面には、第 2 コート層 9 の一部に接するように、第 2 上面電極 8 が形成されている。第 2 上面電極 8 は、銀の粒子を樹脂で固めた樹脂銀からなる。第 2 上面電極 8 は、第 1 上面電極 3 の電氣的特性を維持するために設けられている。第 2 上面電極 8 は、製品としての抵抗器 1 の取り扱いを容易とすべく、第 2 コート層 9 に対して略面一状に形成されている。第 2 上面電極 8 は、側面電極 4 に接続されている。第 2 上面電極 8、側面電極 4 および下面電極 5 の外側面は、ニッケルめっき層および半田めっき層（図示せず）により覆われている。

20 抵抗器 1 の製造工程につき、図 2 ～ 1 3 および図 1 4 を参照しつつ、説明する。

まず、図 2 に示すような、アルミナセラミック製の集合基板 1 1 を準備する。集合基板 1 1 は、平坦な上面（図 1 2 に示す）および平坦な裏面を有している。集合基板 1 1 は、グリーンシートを所定の大きさに切断したのち、各カット片を焼成することにより得られる。集合基板 1 1 は、各々が 1 つの抵抗器に対応する矩形領域 1 2 25 を含んでいる。符号 1 3 は、集合基板 1 1 を縦方向に切断するとき切除される余剰部分を示す。また、符号 1 4 は、集合基板 1 1 を横方向に切断するとき切除される余剰部分を示す。集合基板 1 1 の裏面には、下方導電パターン（図示略）が形成される（図 1 4 の S 1）。この導電パターンは、図 1 に示す下面電極 5 に対応する

ものである。下方導電パターンの形成には、スクリーン印刷の技術を用いることができる。具体的には、微細な粒径を有する金属（例えば金あるいは銀）の粉末とガラス粉末と有機溶剤に分散させた導電性ペーストを用いる。この導電性ペーストを所定の箇所に印刷した後、塗布されたペースト材を乾燥させ、焼成することにより、

5 下方導電パターンが得られる。

次いで、集合基板 1 1 の上面に、第 1 上方導電パターンを形成する（図 1 4 の S 2）。具体的には、まず、図 3 A および 3 B に示すように、厚みの小さい導電層 3 2 ʼ を形成する。図 3 A に示すように、各導電層 3 2 ʼ は、矩形状であり、除去部分 1 3 を跨ぐように延びている。導電層 3 2 ʼ の厚みは、0.1~3.0 μm の範囲内であり、好ましくは 2 μm である。導電層 3 2 ʼ は、金（または銀）およびガラスを含む導電性ペーストを用いたスクリーン印刷により形成することができる。

次に、図 4 A および 4 B に示すように、導電層 3 2 ʼ よりも厚みの大きい導電層 3 1 ʼ を形成する。導電層 3 1 ʼ は、5~25 μm の範囲内の厚みを有しており、導電層 3 2 ʼ に対して電氣的に接続されている。導電層 3 2 ʼ もまた、金（または銀）およびガラスを含む導電性ペーストを用いたスクリーン印刷により形成することができる。導電層 3 1 ʼ および 3 2 ʼ の形成に同じ材質の導電性ペーストを用いることは、これら導電層間の接続を良好にするのに役立つ。しかしながら、本発明によれば、異なる導電性ペーストにより、導電層 3 1 ʼ および 3 2 ʼ を形成してもよい。

20 導電層 3 1 ʼ および 3 2 ʼ の形成のために塗布されたは導電性ペーストは、好ましくは同時に焼成する。これにより、製造時間の短縮を図ることができる。焼成温度は例えば 870℃ であり、焼成時間は例えば 30 分である。

上述の例では、相対的に薄い導電層 3 2 ʼ を形成した後に、相対的に厚い導電層 3 1 ʼ を形成したが、この順序は逆になっても良い。また、図 5 に示すように、導電層 3 1 ʼ の全体が、導電層 3 2 ʼ 上に形成されるようにしてもよい。

上記第 1 上方導電パターン（導電層 3 1 ʼ および 3 2 ʼ）の形成後は、図 6 A および 6 B に示すように、各矩形領域 1 2 ごとに、抵抗層 6 ʼ を形成する（図 1 4 の S 3）。図 6 A に示すように、抵抗層 6 ʼ は、矩形領域 1 2 において互いに離間し

ている2つの導電層31'を架橋するように延びている。抵抗層6'は、抵抗体ペースト（導電成分とガラスフリットとからなる）をスクリーン印刷し、塗布されたペーストを焼成することにより形成できる。

- 5 上述のとおり、導電層31'は、比較的大きな厚み（5～25 μ m）を有している。この厚みは、抵抗層6'に接続する導電層31'が、抵抗体6'の電氣的抵抗特性に影響を及ぼさないような値として定められたものである。好ましくは、導電層31'の厚みは、10 μ m程度とされる。

- 次いで、抵抗層6'全体を覆うように、第1コート層7'（図8参照）を形成する（図14のS4）。第1コート層7'は、ガラス成分を含んだ絶縁性ペーストを印刷および焼成することにより形成される。
- 10

- 次に、図7に示すように、各抵抗層6'に対して、抵抗値を所期の値に設定するためにトリミングを行う（図14のS5）。トリミングは、測定プローブ（図示せず）を上記導電層31'または32'に接触させて各抵抗層6'の抵抗値をモニターしつつ、レーザ加工により行われる。その結果、各抵抗層6'（および第1コート層7'）には、図7に示すような抵抗値調整溝15が形成される。
- 15

- 上記トリミングののち、集合基板11全体を洗浄し（図14のS6）、トリミングによって生じた切り屑等を除去する。その後、図8に示すように、第2コート層9'を形成する（図14のS7）。各第2コート層9'は、集合基板11の縦方向に延びており、同方向に並設された第1コート層7'の全面を覆っている。第2コート層9'は、スクリーン印刷により塗布された絶縁性ペーストを焼成することにより形成することができる。
- 20

- 次に、図9に示すように、第2上方導電パターン8'を形成する（図14のS8）。導電パターン8'は、複数の矩形状導電片からなり、各導電片は、切断ライン13を挟んで隣接する導電層31'の間を架橋するように配置されている。第2上方導電パターン8'は、樹脂銀ペーストをスクリーン印刷することにより形成することができる。樹脂銀ペーストは、微細な粒径を有する銀の粉末とガラス粉末とを樹脂中に分散させたものである。
- 25

続いて、集合基板11を縦方向に切断する（図14のS9）。具体的には、図1

0に示すラインL1に沿って集合基板11を切断する。その結果、図11に示すような中間品16を得る。切断には、図12および図13に示すように、回転駆動可能な円板状のブレード17を備えたダイシングカッタが用いられる。ブレード17は、例えば幅0.1mm程度、直径50mm程度の大きさを有している。

- 5 既に説明したように、従来の製造方法では、ブレード17の回転により、切断箇所において、上面電極23のはね上がりが生じていた(図17)。しかしながら、上記実施例においては導電層32'の厚みを小さくしているため、このようなはね上がりは生じない。また、第2上方導電パターン8'を展性が小さい樹脂銀によって構成している。したがって、第2上方導電パターン8'においてもはね上がりが生
- 10 じることはない。

- また、本発明者の行った実験により、上面電極23におけるはね上がりの発生は、電極形成用ペーストに含まれる成分構成を調節することにより抑えられることが判明した。具体的には、電極形成用ペーストに含まれるガラス成分の割合を増やせば、第1上面電極23のはね上りを抑えることが可能である。ただし、ガラス成分を
- 15 多くしすぎると、上面電極23の導電性が不当に低くなるため注意が必要である。

- 次いで、図11に示すように、中間品16における両切断面に、それぞれ側面導電パターン4'を形成する(図14のS10)。側面導電パターン4'は、第2上方導電パターン8'を介して第1上方導電パターン(31'、32')に導通するように形成される。従って、側面導電パターン4'は、基板11の上面を越えて延び
- 20 ることにより、第2上方導電パターン8'に対して確実に導通するように構成されている(図1参照)。

- その後、中間品16は、図11に示す切断線L2に沿って、横方向に切断される(図14のS11)。次いで、第2上方導電パターン8'、側面導電パターン4'、および下方導電パターンの露出部分に対して、ニッケルめっきおよび半田めっきが
- 25 施される(図14のS12)。このようにして、図1に示す抵抗器1が得られる。

上述の方法によれば、抵抗器1の第1上面電極3および第2上面電極8は、はね上がり部分を含まない。従って本発明の抵抗器1においては、従来技術について説明した不具合は生じない。

本発明につき、以上のように説明したが、これを他の様々な態様に改変し得ることは明らかである。このような改変は、本発明の思想及び範囲から逸脱するものではなく、当業者に自明な全ての変更は、以下における請求の範囲に含まれるべきものである。

請求の範囲

1. 余剰部分を介して相互に隔てられた第1領域および第2領域を含む集合基板を準備し、
- 5 前記第1領域および第2領域を架橋するように延びる導電パターンを形成し、
 前記第1および第2領域の各々において、前記導電パターンに接続する抵抗体を形成し、
 前記集合基板を前記余剰部分において切断する、各工程を具備しており、
 前記導電パターンが、前記余剰部分を横切る薄肉部と、この薄肉部に接続し且
- 10 つ前記余剰部から離間した厚肉部とを含んでいることを特徴とする、チップ型抵抗器の製造方法。
2. 前記薄肉部の厚みは、 $0.1 \sim 3.0 \mu\text{m}$ の範囲である、請求項1に記載の方法。
- 15 3. 前記厚肉部の厚みは、 $5 \sim 25 \mu\text{m}$ の範囲である、請求項1に記載の方法。
4. 前記導電パターン形成工程は、前記厚肉部のための導電性ペーストを塗布するサブ工程と、前記薄肉部のための導電性ペーストを塗布するサブ工程とを含んでいる、請求項1に記載の方法。
- 20 5. 前記厚肉部のための導電性ペーストおよび前記薄肉部のための導電性ペーストは、同時に焼成される、請求項4に記載の方法。
6. 前記厚肉部のための導電性ペーストと前記薄肉部のための導電性ペーストとは、
- 25 同じ材質である、請求項4に記載の方法。
7. 前記抵抗体に抵抗値調整溝を形成する工程をさらに具備する、請求項1に記載の方法。

8. 上面および側面を含む絶縁性の基板と、
前記上面に形成された第1導電パターンと、
前記第1導電パターンに接続する抵抗体と、を具備する構成において、
前記第1導電パターンは、前記上面に接する薄肉部と、この薄肉部に接続する
5 とともに前記上面に接する厚肉部とを含んでおり、前記薄肉部は前記抵抗体から離
間するとともに前記側面まで延びており、前記厚肉部は前記抵抗体に接するとともに
前記側面から離間していることを特徴とする、チップ型抵抗器。
9. 前記第1導電パターン上を延びる第2導電パターンをさらに具備しており、こ
10 の第2導電パターンは、前記薄肉部および前記厚肉部の双方に接している、請求項
8に記載の抵抗器。
10. 前記薄肉部の厚みは $0.1 \sim 3.0 \mu\text{m}$ の範囲であり、前記厚肉部の厚みは $5 \sim 25 \mu\text{m}$ の範囲である、請求項8に記載の抵抗器。

開示の要約

チップ型抵抗器を製造する方法が提供される。この方法によれば、まず、余剰部分を介して相互に隔てられた第1領域および第2領域を含む集合基板を準備する。

- 5 次に、前記第1領域および第2領域を架橋するように延びる導電パターンを形成する。次に、前記第1および第2領域の各々において、前記導電パターンに接続する抵抗体を形成する。次に、前記集合基板を前記余剰部分において切断する。前記導電パターンは、前記余剰部分を横切る薄肉部と、この薄肉部に接続し且つ前記余剰部から離間した厚肉部とを含んでいる。